

共通基盤画像認識用 LSI の開発

○ 沢崎直之 中尾学((株)富士通)

Image Processing LSI for a Common Basis for Next-Generation Robots

*Naoyuki SAWASAKI and Manabu NAKAO Fujitsu Limited

Abstract — We have developed an image processing LSI for a common basis for Next-Generation Robots. The LSI is implemented in 0.13 micron CMOS technology and can operate at up to 200 MHz. It enables high-speed image processing such as image convolution, correlation matching, feature extraction and stereo measurements with low power consumption. In this paper, we describes the basic architecture of our LSI and the experiments conducted to demonstrate the performance of our LSI.

Key Words: image recognition, image processing LSI, stereo measurements, correlation matching

1. はじめに

今日、我が国は国際的にもトップレベルのロボット技術を蓄積しており、この技術を活用して、製造現場以外の様々な分野で活用される次世代ロボットを効率的に開発、実用化することが期待されている。独立行政法人新エネルギー・産業技術総合開発機構（NEDO）では、「次世代ロボット共通基盤開発プロジェクト」において、次世代ロボットの開発を効率化し、普及を促進する共通基盤の整備のために、目や耳などのロボットの主要パーツのモジュール化と、これらを統合する共通化・標準化の技術開発を進めている。次世代ロボットの実用化のためには、自ら認識・判断して作業を遂行する自律機能、家庭内等の生活空間で人と共存するための対人安全性の確保、人との自然なコミュニケーション機能が不可欠であり、画像認識技術の高度化が不可欠である。しかし、人の生活空間という動的な変化の激しい環境を認識して安全かつ適切に行動を行うためには、膨大な画像データをリアルタイムで処理する能力が要求されるため、市販の組み込み用プロセッサ等では実現不可能であった点に課題があった。

我々は、本プロジェクトにおいて、これまで、高性能PCでのみ実現可能であった画像認識性能を、家庭用等の比較的小型のロボットにも組み込み可能な小型・低消費電力のモジュールで実現することを目的として、専用の並列処理演算回路を搭載した画像認識用デバイスを開発した。本稿では、開発した画像認識用デバイス（ステレオビジョンLSI）のアーキテクチャと性能評価実験について報告する。

2. ステレオビジョン LSI の設計思想

次世代ロボットを実環境で安全に稼働させる上で必要となる画像認識機能への要求としては、

- (1)自己位置同定や環境の3次元マップ取得のために、生活空間等の実環境の様々な照明条件下で、ロボットのステレオカメラの画像を処理し、周囲の物体の形状や動きをリアルタイムで計測可能であること。
- (2)人物の検出及び顔の登録・照合、ジェスチャ認識のための基本的な画像処理を高速化することが重要であり、これらの要求を満足するためには、以下の基本画像処理の高速化が不可欠である。



図 1 ステレオビジョンLSIの外観

- (a) ステレオ画像処理による3次元計測処理
 - (b) オプティカルフロー等の動き計測処理
 - (c) 照明条件に応じた階調補正処理、特徴抽出やノイズ除去のための各種フィルタリング処理
 - (d) 肌色分布などの人の特徴を識別するカラー処理
- 本LSIでは、特に、これらの画像処理に共通し、かつ処理用の多い、パターンマッチング処理、特徴抽出処理、フィルタリング処理、カラー処理の専用ハードウェア化を目標とした。

3. ステレオビジョン LSI のアーキテクチャ

図1にステレオビジョンLSIの外観、表1に主要諸元を示す。

開発したLSIは、パターンマッチング処理、特徴抽出処理、フィルタリング処理、カラー処理を実行する専用の演算回路と、画像データ管理、外部プロ

表 1 ステレオビジョンLSIの主要諸元

テクノロジー	0.13 μ m, CMOS ASIC
動作周波数	最大200 MHz
パッケージ	TEBGA 676ピン (27mm \square)
動作温度範囲	0~70 $^{\circ}$ C(ヒートシク不要)
電源電圧	+1.2 V (コア), +3.3 V (I/O)
消費電力	約3.0 W
画像入力I/F	YUV16ビット (4:2:2) ステレオ2系統同期/非同期に対応

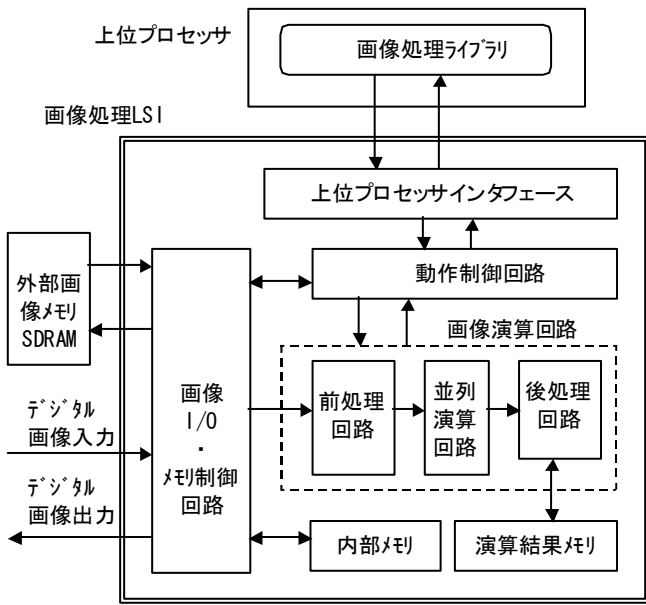


図 2 ステレオビジョンLSIの内部構成

セッサインタフェースを1チップに内蔵した低消費電力のLSIである。図2にステレオビジョンLSIの内部構成を示す。

3.1. 画像演算回路

画像演算実行部であり、前処理回路、並列演算回路、後処理回路で構成している。

前処理回路は、図3に示すように、カラー変換、階調補正、アフィン変換回路を実行する専用回路である。カラー変換としては、YUVからRGB、YUVからHSVの2種類の変換が可能である。また、階調補正では、ルックアップテーブルにより任意の変換が可能である。

並列演算回路は、パターンマッチングのための相関演算(SAD/SSD)、空間フィルタ演算、特徴抽出のための各種積和演算を実行するための専用回路であり、図4に示すような、プロセッサエレメント(PE)を縦8個横8個で2次元アレイ状に並べたシストリックアレイ回路を図5に示すように、4つカスケードに並べた構成としている。後段のアレイ回路はメモリからのデータまたは前段のアレイ回路の出力データを選択して処理することが可能である。4つのアレイ回路を使って16x16のテンプレートサイズで

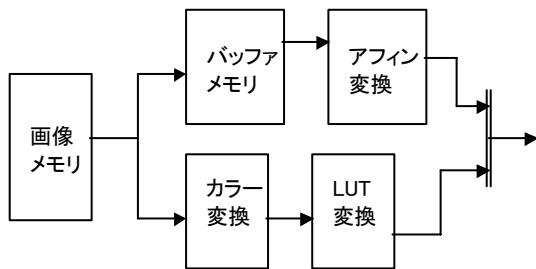
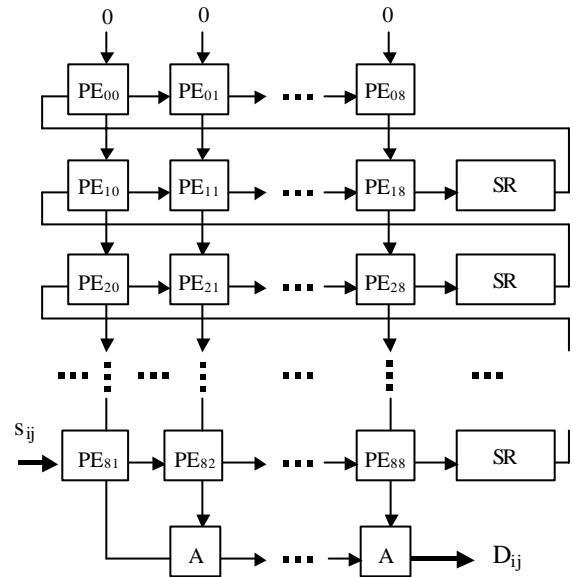
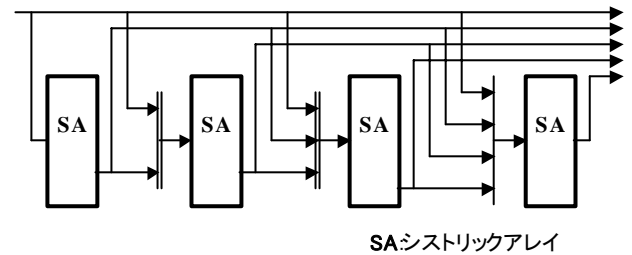


図 3 前処理回路



PE: プロセッサエレメント, A: 加算ユニット, SR: シフトレジスタ

図 4 シストリックアレイ演算回路



SAシストリックアレイ

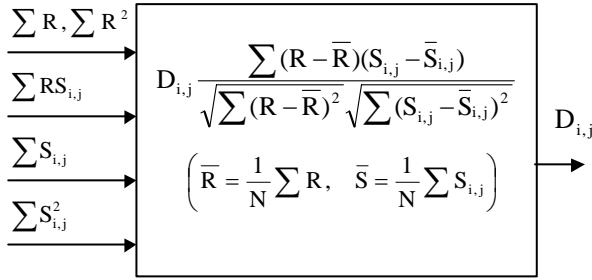
図 5 並列演算回路の全体構成

のマッチング処理を行う、あるいは特徴抽出処理では、2つのアレイ回路で、それぞれ、水平方向微分フィルタ、垂直方向微分フィルタを行い、その結果を後段のアレイに入力して画像勾配空間の特徴量の演算を行うなど、処理によってアレイ回路の各々の役割を変えることが可能な構成としている。後処理演算回路は、図6に示すような正規化相関値の計算、特徴抽出処理のための輝度勾配行列の固有値の計算を行う浮動小数点演算回路と、演算結果のピーク値を検出する回路である。浮動小数点演算回路は、浮動小数点乗算器5つ、浮動小数点加算器2つ、浮動小数点除算器1つ、浮動小数点开平方器1つで構成されている。これらの回路はパイプライン化されており、毎サイクル演算結果を出力することが可能である。

3.2. 画像入出力回路・メモリ制御回路

画像データの入出力、メモリの制御回路である。リアルタイムでの毎フレームの画像処理を実現するために、図7に示すように、画像メモリを複数のバンクに分割し、カメラからの画像データの入力と画像演算のための画像データの読み出しを時分割で並列処理する機能を実現している。

(1) 正規化相関値計算



(2) 輝度勾配分散行列の固有値計算

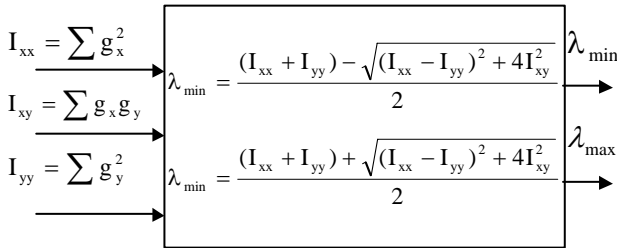


図 6 浮動小数点演算回路の機能

3.3. 上位プロセッサインタフェース

本LSIは、局所領域に対する特徴抽出演算、ステレオマッチング処理、動き計測処理を1領域あたり数10μ秒程度で実行可能である。従来のように上位プロセッサがレジスタを操作してハードウェア算を起動し、割り込み等の手段で演算終了を検出する方式では、上位プロセッサに数10μ秒単位で割り込みが発生し、パフォーマンスが著しく低下する可能性がある。そのため、本LSIでは、図7に示すように、処理コマンド、処理結果を蓄積するFIFOを実装して、DSPの処理と画像認識デバイスの画像処理を非同期に実行可能とするインタフェースを実現している。

4. ステレオビジョンLSIの画像処理機能

ステレオビジョンLSIのハードウェアがサポートする画像処理機能を表2にまとめる。パターンマッチングについてはテンプレート画像の各画素について1,0のマスクビットを設定することが可能であ

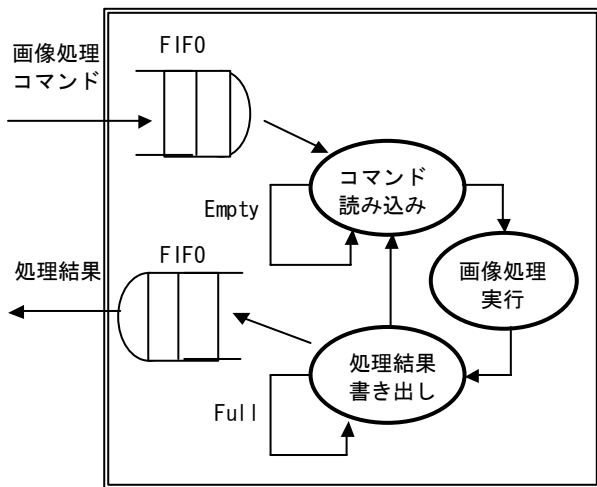


図 7 プロセッサインタフェース

る。また、複数回の処理結果を累積してピークを抽出することも可能であり、マスク機能と併用することで任意のサイズのテンプレート画像に対する処理を行うことが可能である。また、画像メモリ内の任意の矩形領域の画像を上位プロセッサに転送する機能もサポートしており、上位プロセッサ上での画像処理も実行可能である。

5. 性能評価実験

ステレオビジョンLSIを搭載した評価ボード(図8)を用いて性能評価実験を実施した。評価ボードは、上位プロセッサとしてテキサス・インスツルメンツ社の固定小数点DSP(TMS320DM642, 600MHz)を搭載しており、2系統のNTSCアナログビデオの入力が可能である。表3にステレオビジョンLSIの基本処理の処理時間の計測結果を示す。

表 2 ステレオビジョンLSIの画像処理機能

カラー変換	<ul style="list-style-type: none"> • YUV→RGB • YUV→HSV (64×64画素/オペレーション)
階調変換	ルックアップテーブル変換 (8ビット×256エントリ)
アフィン変換	64×64画素/オペレーション
パターンマッチング	
類似度指標	SAD (差の絶対値) SSD (差の二乗和) NCC (正規化相関)
テンプレートサイズ	8×8画素/オペレーション 16×16画素/オペレーション ※NCCは8×8画素/オペレーションのみ
探索範囲	水平: 2~128画素 垂直: 2~128画素 ※ただし水平×垂直≤1024画素
間引き指定	水平・垂直ともに0~7画素
ピーク抽出	<ul style="list-style-type: none"> • 最大/最小/絶対値最大ピーク • 第2ピーク抽出 • サブピクセルピーク推定
空間フィルタ	
カーネルサイズ	8×8画素/オペレーション 16×16画素/オペレーション
出力サイズ	水平: 2~128画素 垂直: 2~128画素 ※ただし水平×垂直≤1024画素
間引き指定	水平・垂直ともに0~7画素
特徴抽出	
ウィンドウサイズ	8×8画素
特徴量指標	<ul style="list-style-type: none"> • 輝度勾配分散行列の最小固有値 ※コーナー抽出に利用 • 輝度勾配分散行列の最大固有値 ※線分抽出に利用
特徴量ピークの探索範囲	水平: 2~16画素 垂直: 2~16画素



図 8 ステレオビジョンLSI評価ボード

表 3 基本処理実行時間

画像処理	画像サイズ*	探索	時間
パターンマッチング (SSD/SAD)	8×8	16×16	4.7μ秒
	8×8	128×2	7.9μ秒
	16×16	16×16	7.5μ秒
	16×16	128×2	12.7μ秒
パターンマッチング (正規化相関)	8×8	16×16	5.0μ秒
	8×8	128×2	8.1μ秒
パターンマッチング (正規化+サブピクセル ピーク抽出)	8×8	16×16	5.7μ秒
パターンマッチング (SSD/SAD, 4 並列)	8×8	16×16	1.9μ秒
空間フィルタ	8×8カーネル	32×32	10.1μ秒
	16×16カーネル	32×32	12.8μ秒
特徴抽出(コーナー)	8×8	16×16	5.8μ秒
特徴抽出(線分)	8×8	16×16	8.9μ秒

また、Core2 Duo (X6800, 2.93GHz)によるソフト処理 (OpenCV ライブラリ) との比較により、SSD 及び正規化相関によるパターンマッチングについては、それぞれ、18.4 倍、9.1 倍の処理性能であることを確認した。この性能は、先に我々が開発した FPGA ベースのステレオ処理ハードウェア[1]の約5 倍の性能である。図 9、図 10、図 11 に特徴抽出 (コーナー、線分) 処理例、ステレオマッチングの処理例を示す。コーナー抽出では、画面内の 3256 の領域に対する処理を 14ms、線分抽出では、1064 の領域に対する線分の抽出と方位の計算を 29ms、ステレオマッチングでは、2852 の領域からのコーナー特徴の抽出と、ステレオマッチング (視差 0~63 画素) を 27ms、とフレームレート (33ms) 内で実行できる性能を確認した。

6. まとめ

本稿では、次世代ロボットに要求されるリアルタイムでの人・環境認識の効率化・高性能化を目的として開発した画像処理 LSI のアーキテクチャと性能評価実験について述べた。開発した LSI は、これまで、高性能 PC でのみ実現可能であった画像認識性能を、家庭用等の比較的小型のロボットにも組み込み可能な小型・低消費電力のモジュールで実現することを可能とし、今後のロボット市場の成長を加速さ

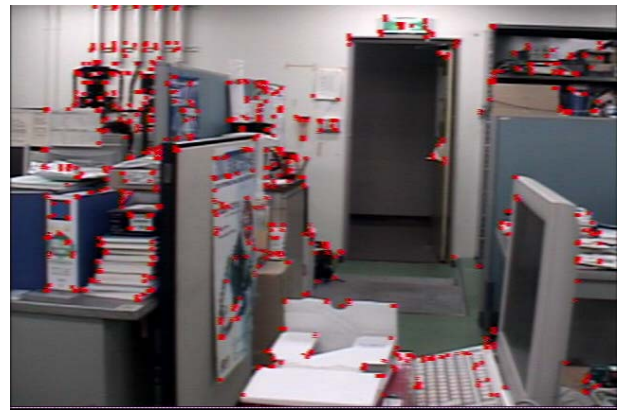


図 9 特徴抽出 (コーナー) 処理例



図 10 特徴抽出 (線分) 処理例



図 11 ステレオマッチング処理例

せる大きなブレイクスルーとなることが期待できる。今後は、本 LSI を搭載したモジュールを RT ミドルウェアによりコンポーネント化し、各種ロボットへの搭載と実証実験を進める。なお、本研究は、独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) からの委託研究「次世代ロボット共通基盤開発プロジェクト」の一環として行われたものである。

参考文献

- [1] Naoyuki Sawasaki, Manabu Nakao, Yoshinobu Yamamoto and Keiju Okabayashi, "Embedded Vision System for Mobile Robot Navigation," Proc. of ICRA2006, pp.2693-2698, 2006.